

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

## **IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-65719

(43)公開日 平成8年(1996)3月8日

(51)Int.Cl.<sup>6</sup>

H 0 4 Q 3/52

H 0 4 L 12/28

H 0 4 Q 3/00

識別記号

1 0 1 Z

庁内整理番号

9566-5G

F I

技術表示箇所

9466-5K

H 0 4 L 11/ 20

H

審査請求 未請求 請求項の数9 F D (全 19 頁)

(21)出願番号

特願平6-214272

(22)出願日

平成6年(1994)8月16日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233479

日立通信システム株式会社

神奈川県横浜市戸塚区戸塚町180番地

(72)発明者 水上 雅雄

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(72)発明者 金澤 伸朗

神奈川県横浜市戸塚区戸塚町180番地 日

立通信システム株式会社社内

(74)代理人 弁理士 玉村 静世

最終頁に続く

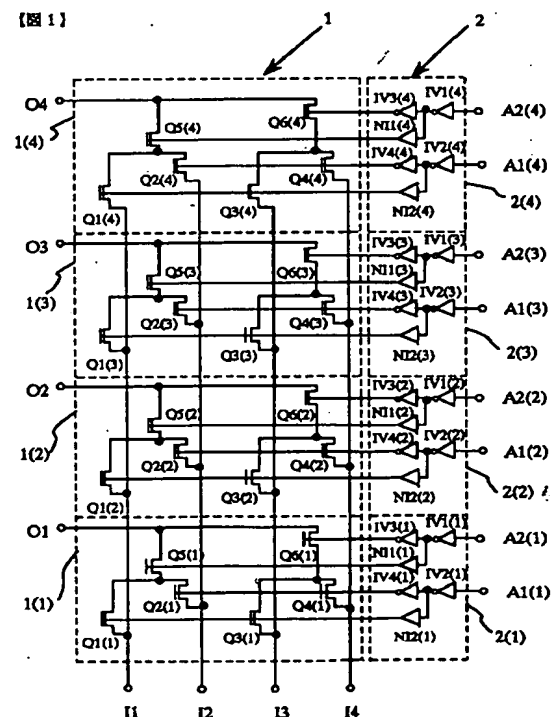
(54)【発明の名称】 クロスポイントスイッチ回路及び半導体集積回路

(57)【要約】

【目的】 構成要素の素子数の増大を極力抑えてクロスポイントスイッチ回路のスイッチアレイの規模を大きくできるようにする。

【構成】 2分岐を主体としたツリー構造のスイッチアレイ1(1)と、該スイッチアレイのスイッチ素子を階層毎に相補的にスイッチ動作させるための相補アドレス信号を形成するアドレスバッファ2(1)とから成るセレクトを複数単位設け、複数の入力端子が各セレクトに共通接続され、夫々のアドレス信号の論理値の組み合わせに応じて、所望の一つの入力端子(I1~I4)を所望の単数もしくは複数の出力端子(O1~O4)に接続可能にしてクロスポイントスイッチ回路を構成する。

【図1】



1

## 【特許請求の範囲】

【請求項1】 複数個の入力端子から一つの出力端子に至る2分岐を主体としたツリー構造のスイッチアレイと、このスイッチアレイにおける同一階層のスイッチ素子を1ビットの相補アドレス信号にて相補的にスイッチ動作させるための複数ビットの相補アドレス信号を入力アドレス信号に基づいて形成するアドレスバッファと、から成るセクタを一単位として、上記入力端子の数に等しい数の複数単位の上記セクタを含み、上記複数個の入力端子が各セクタに共通接続され、夫々のアドレス信号の論理値の組み合わせに応じて、所望の一つの入力端子を所望の単数もしくは複数の出力端子に接続可能にされて成るものであることを特徴とするクロスポイントスイッチ回路。

【請求項2】 複数個の入力端子から一つの出力端子に至る2分岐を主体としたツリー構造のスイッチアレイと、このスイッチアレイにおける同一階層のスイッチ素子を1ビットの相補アドレス信号にて相補的にスイッチ動作させるための複数ビットの相補アドレス信号を入力アドレス信号に基づいて形成するアドレスバッファと、から成るセクタを一単位として、上記入力端子の数に対して正の整数分の一の数の複数単位の上記セクタを含み、上記複数個の入力端子が各セクタに共通接続され、

上記入力端子に供給される信号の信号周波数に対して上記正の整数倍された信号周波数を以て、外部から供給されるアドレス信号を時分割多重化し、対応するセクタに出力するアドレス信号多重化回路を設け、

外部から供給される夫々のアドレス信号の論理値の組み合わせに応じて、所望の一つの入力端子を所望の単数もしくは複数の出力端子に接続可能にされて、入力端子からの信号が上記正の整数倍された信号周波数を以て多重化されて出力可能にされて成るものであることを特徴とするクロスポイントスイッチ回路。

【請求項3】 上記スイッチアレイを構成するスイッチ素子はNチャンネル型MOSトランジスタであることを特徴とする請求項1又は2記載のクロスポイントスイッチ回路。

【請求項4】 上記アドレスバッファの相補アドレス信号線の負荷が相対的に重いものにはサブドライバを介在させて成るものであることを特徴とする請求項1乃至3の何れか1項記載のクロスポイントスイッチ回路。

【請求項5】 上記各セクタとその出力端子との間にCMOS出力バッファを設け、出力バッファを正帰還制御するPチャンネル型MOSトランジスタをプルアップ接続して成るものであることを特徴とする請求項3又は4記載のクロスポイントスイッチ回路。

【請求項6】 上記各セクタからその出力端子に至る出力経路に順次、トランスファゲート、このトランスファゲートのターンオフに同期してラッチ動作されるラッ

2

チ回路、及び上記ラッチ回路の出力を入力とするCMOS出力バッファを配置して成るものであることを特徴とする請求項3又は4記載のクロスポイントスイッチ回路。

【請求項7】 外部から供給されるクロック信号の所定の変化から所定の遅延時間を経過するまでの期間に応ずるパルス幅を持つ内部クロックを形成して、上記ラッチ回路及びトランスファゲートの動作制御信号を形成するクロック発生部を設け、該クロック発生部は、クロスポイントスイッチ回路の動作遅延時間より長い所定の遅延時間を上記所定の遅延時間として形成する遅延回路を含んで成るものであることを特徴とする請求項6記載のクロスポイントスイッチ回路。

【請求項8】 請求項1乃至7の何れか1項記載のクロスポイントスイッチ回路を1個の半導体基板に複数個備えて成る半導体集積回路であって、

上記夫々のクロスポイントスイッチ回路を構成するセルの上層にはスルー配線が並設され、当該単一配線は、夫々のクロスポイントスイッチ回路に共通のアドレス信号を供給するためのアドレススルー配線、又はその他の回路セルに接続されるセル渡りのスルー配線とされて成るものであることを特徴とする半導体集積回路。

【請求項9】 1個の半導体基板の敷詰めゲート領域に請求項3記載のクロスポイントスイッチ回路が複数個形成されて成る半導体集積回路であって、

上記敷詰めゲート領域はCMOS基本セルのセル列が複数列配置されてなり、上記CMOS基本セルの複数のセル列から成る所定の矩形領域に上記クロスポイントスイッチ回路のセクタが形成されて成るものであることを特徴とする半導体集積回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、クロスポイントスイッチ回路に係り、例えばSONET(Synchronous Optical Network)等に用いて有効な空間分割スイッチ構成要素としてのスイッチ回路に適用して有効な技術に関するものである。

## 【0002】

【従来の技術】 B-ISDN(Broad-band Integrated Services Digital Network)用に開発されたクロスポイントスイッチ回路の例として、1989年5月「シー・アイ・シー・シー(CICC: Custom Integrated Circuit Conference)」論文の頁10.7.1~頁10.7.4がある。同文献においてクロスポイントスイッチは16×8のスイッチマトリクスとされ、セレクトデコードによってスイッチアレイのスイッチ状態が選択されるとものと予想される。ここで、クロスポイントスイッチ回路は別の呼び名で空間スイッチと言われることもある。

## 3

【0003】また、クロスポイントスイッチ回路それ自体の公知例ではないが、1994年2月の「アイ・エス・エス・シー・シー（ISSCC: International Solid State Circuits Conference）」論文の頁208～頁209には、セルフデコーディングマルチプレクサ（Self-decoding multiplexer）と名付けられた回路が示される。このセルフデコーディングマルチプレクサは、図22に示されるように6個のCMOSTランスファゲートをつリー状に配置して、4入力から一つを選択信号SEL1、SEL2にて選択出力するセレクトアとして機能される。このセレクトアはマイクロプロセッサにおいて一つの論理ユニットとして利用される。

## 【0004】

【発明が解決しようとする課題】半導体素子の微細加工技術の進展とSONET等の伝送システムの大規模化が相互に関連し合っ、より大きなマトリックスを構成できるクロスポイントスイッチ回路の実現が要望されている。しかし、通常のCMOSプロセス適用のLSIにおいては、上記公知のクロスポイントスイッチの例では、マトリックスの規模は16×8であった。このマトリックスの規模を大きくするとトランジスタの数が飛躍的に増大し、1チップへの集積化が困難となる。更に動作速度も急激に劣化してくる。

【0005】本発明の目的は、入力信号数×出力信号数で代表されるようなスイッチアレイの規模の大型化に最適なクロスポイントスイッチ回路を提供することにある。さらに詳しくは、第1に、構成要素の素子数を減らす工夫をして、クロスポイントスイッチ回路のスイッチアレイの規模を大きくしても、素子数が従来より格段に少ないクロスポイントスイッチ回路を提供し、伝送システムにおいて、この部分の1チップ化を可能にしようとするものである。第2に、論理的な規模を大きくしてもあまり動作速度の劣化を起こさないクロスポイントスイッチ回路を提供することにある。第3には、動作速度をなるべく速くして、入力信号の速度に比べてアドレス信号の速度をn倍化し、出力端子数を減らして、構成要素を更に少くしたクロスポイントスイッチ回路を提供することにある。第4には、ディジタルテストのようなファンクションテスト向きのテストを用いてある程度のAC特性を評価可能にするための疑似ACテスト機能を内蔵させたクロスポイントスイッチ回路を提供することにある。第5には、チップ内に埋込まれたクロスポイントスイッチ回路をマクロセルとして扱う場合、当該クロスポイントスイッチ回路のマクロセルを何個か並べて利用するときの配線効率を向上させることができるクロスポイントスイッチ回路を提供することにある。

【0006】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるで

## 4

あろう。

## 【0007】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0008】複数個の入力端子から一つの出力端子に至る2分岐を主体としたツリー構造のスイッチアレイと、このスイッチアレイにおける同一階層のスイッチ素子を1ビットの相補アドレス信号にて相補的にスイッチ動作させるための複数ビットの相補アドレス信号を入力アドレス信号に基づいて形成するアドレスバッファと、から成るセレクトアを一単位として、上記入力端子の数に等しい数の複数単位の上記セレクトアを含み、上記複数個の入力端子が各セレクトアに共通接続され、夫々のアドレス信号の論理値の組み合わせに応じて、所望の一つの入力端子を所望の単数もしくは複数の出力端子に接続可能にしてクロスポイントスイッチ回路を構成する。

【0009】アドレス信号などの時分割多重化により物理的な回路規模を一層縮小することを企図した態様のクロスポイントスイッチ回路は、上記同様のセレクトアを一単位として、上記入力端子の数に対して正の整数分の一の数の複数単位の上記セレクトアを含み、上記複数個の入力端子が各セレクトアに共通接続され、上記入力端子に供給される信号の信号周波数に対して上記正の整数倍された信号周波数を以て、外部から供給されるアドレス信号を時分割多重化し、対応するセレクトアに出力するアドレス信号多重化回路を設け、外部から供給される夫々のアドレス信号の論理値の組み合わせに応じて、所望の一つの入力端子を所望の単数もしくは複数の出力端子に接続可能にされて、入力端子からの信号が上記正の整数倍された信号周波数を以て多重化されて出力可能にされて成る。

【0010】上記スイッチアレイを構成するスイッチ素子の素子数最大限に減少させるには、当該スイッチ素子として、Nチャンネル型MOSTランジスタを採用することが望ましい。

【0011】スイッチアレイはツリー構造故にアドレスバッファが駆動すべき負荷は下位側階層ほど大きくされる。そのような駆動負荷の相違による選択動作の遅れを解消するには、アドレスバッファの相補アドレス信号線の負荷が相対的に重いものにはサブドライバを介在させるとよい。

【0012】上記各セレクトアとその出力端子との間にCMOS出力バッファを設けた場合におけるスタンバイ状態でのリーク電流テストを考慮すると、出力バッファを正帰還制御するPチャンネル型MOSTランジスタをブルアップ接続して、出力バッファに貫通電流が流れないようにすることが望ましい。

【0013】スタンバイ状態でのリーク電流テストと共に疑似ACテストを考慮する場合、上記各セレクトアから

## 5

その出力端子に至る出力経路に順次、トランスファゲート、このトランスファゲートのターンオフに同期してラッチ動作されるラッチ回路、及び上記ラッチ回路の出力を入力とするCMOS出力バッファを配置することができる。擬似ACテストに際してクロスポイントスイッチ回路が正常に動作するときの動作遅延時間よりも長い所定時間経過後にラッチ回路をラッチ動作せ、ラッチされたデータが期待値に一致するかを判定することによってスイッチアレイのAC的な欠陥（例えばスイッチ素子パターン欠陥によるgmが異常に小さくなるような欠陥）を判定できる。そのような動作遅延時間よりも長い所定時間をクロスポイントスイッチ回路内部で形成して、それ自体で擬似ACテストを支援できるようにするには、外部から供給されるクロック信号の所定の変化から所定の遅延時間を経過するまでの期間に応ずるパルス幅を持つ内部クロックを形成して、上記ラッチ回路及びトランスファゲートの動作制御信号を形成するクロック発生部を設ける。そのような遅延時間は遅延回路によって形成できる。

【0014】上記クロスポイントスイッチ回路を複数個並設して構成される半導体集積回路において、クロスポイントスイッチ回路へのアドレス信号配線などの配線効率を向上させるには、夫々のクロスポイントスイッチ回路を構成するセルの上層にスルー配線を並設し、当該スルー配線を、夫々のクロスポイントスイッチ回路に共通のアドレス信号を供給するためのアドレススルー配線、又はその他の回路セルに接続されるセル渡りのスルー配線として利用できる。

【0015】上記クロスポイントスイッチ回路はツリー状のスイッチアレイ故にその論理規模（入力端子数×出力端子数）が大きくてもその構成スイッチ素子数の増大を最小限に抑えることができるため、ゲートアレイの敷詰めゲート領域にクロスポイントスイッチ回路を構成することが容易である。このときのクロスポイントスイッチ回路におけるセレクタを、上記敷詰めゲート領域がCMOS基本セルのセル列から成るとき、上記CMOS基本セルの複数のセル列から成る所定の矩形領域にレイアウトする事が、敷詰めゲート領域を利用するときの面積効率を向上させる。

## 【0016】

【作用】上記した手段によれば、2分岐を主体とするツリー構造のスイッチアレイは、階層的に経路を選択するトランジスタがスイッチマトリクスにおけるスイッチトランジスタとデコードトランジスタとの双方の機能を実現し、且つ、階層的に多段接続されたそのような経路選択トランジスタの数は上位階層ほど少なくされ、これがクロスポイントスイッチ回路におけるスイッチアレイの論理的な規模に比べてその物理的な回路規模を縮小する。

【0017】サブドライバは、2分岐を主体とするツリ

## 6

一構造故にアドレスバッファが駆動すべき負荷の相違を見かけ上均一化して動作速度を向上させる。

【0018】アドレス信号多重化回路はその多重化数に応じてセレクタの数を低減し、クロスポイントスイッチ回路の物理的な規模をさらに減少させる。

【0019】トランスファゲート及びラッチ回路は擬似ACテスト機能を実現する。特に、外部から供給されるクロック信号の所定の変化から所定のパルス幅を持つ内部クロックを形成するクロック発生部は、クロスポイントスイッチ回路それ自体で擬似ACテストを支援する。すなわち、テスト動作の遅いテストを用いる場合にもラッチ回路の制御は当該クロック発生部内蔵の遅延回路の遅延時間で決定され、テスト動作周波数に依存することなくクロスポイントスイッチ回路のAC特性を保証する。

## 【0020】

【実施例】図20には非同期転送モードにて実現されるB-ISDNに従った一例システムであるSONETのシステム構成図が示される。同図に示されるシステムは、多数のADM(Add Drop Multiplexer)100を介して光ファイバケーブルOLで成る網が構成され、網は中央センタ101のデジタル交換機102とADM100を介して接続される。デジタル交換機102は図示しない別の中央センタのデジタル交換機などに接続される。上記各ADM100は本発明の一実施例に係るクロスポイントスイッチ回路が適用される。

【0021】図21には上記ADM100の一例が示される。同図において30はスイッチ部であり、例えば600Mb(メガビット)/s(second)のデータ速度の信号8チャンネルを切り換えられる。すなわち600Mb/sで8×8の機能(8個の各入力に8個の内の任意の出力に接続可能)、また150Mb/sで32×32の機能を持つ。ここに33は受信側回線インタフェース、34は送信側回線インタフェース、35は受信側低速インタフェース、36は送信側低速インタフェースであり、マルチプレクサ31は受信側低速インタフェース35からの低速入力を多重化してスイッチ部30に供給し、デマルチプレクサ32はスイッチ部30からの出力を分離して上記送信側低速インタフェース36に供給する。このように構成されたADM100により、信号の送入、分岐若しくは分配が可能にされる。

【0022】上記ADM100のスイッチ部30に本発明に係るクロスポイントスイッチ回路が適用される。その主な機能は例えば4×4のスイッチの場合、各4つの出力には、各4つの入力信号のうちから1つが自由に接続される。したがって、例えば1つの入力の信号が各4つの出力へ同時に接続されることも可能にされなければならない。

【0023】図1には本発明に係るクロスポイントスイ

ッチ回路の一実施例回路図が示されている。この図の場合の例では、入力端子と出力端子の構成は $4 \times 4$ （入力端子が $I1 \sim I4$ 、出力端子が $O1 \sim O4$ ）である。1がスイッチ及びデコーダ一体部、2がアドレスバッファ部である。スイッチ及びデコーダ一体部1は出力端子 $O1 \sim O4$ に対応する4個のスイッチ及びデコーダ単位ユニット1（1） $\sim$ 1（4）にて構成され、各スイッチ及びデコーダ単位ユニット1（1） $\sim$ 1（4）には入力端子 $I1 \sim I4$ が共通接続される。アドレスバッファ部2は各スイッチ及びデコーダ単位ユニット10 $\sim$ 11に対応するアドレスバッファ単位ユニット2（1） $\sim$ 2

（4）にて構成され、夫々には2進のアドレス信号 $A1$ （1）、 $A2$ （1）、 $A1$ （2）、 $A2$ （2）、 $A1$ （3）、 $A2$ （3）、 $A1$ （4）、 $A2$ （4）が供給され、夫々が相補アドレス信号とされ、相補アドレス信号は対応するスイッチ及びデコーダ単位ユニット1（1） $\sim$ 1（4）に供給される。各スイッチ及びデコーダ単位ユニット1（1） $\sim$ 1（4）ではスイッチ及びデコーダ兼用のNMOS（Nチャンネル型MOS）トランジスタ $Q1$ （1） $\sim$  $Q6$ （1）、 $\dots$ 、 $Q1$ （4） $\sim$  $Q6$ （4）が、アドレス2進桁数の多段接続構成とされて、デコードすべき対応相補アドレス信号を受けてオン・オフされ、出力端子に対して入力端子が選択されるように信号パスが形成される。

【0024】上記スイッチ及びデコーダ単位ユニット1（1） $\sim$ 1（4）は、複数個の入力端子から一つの出力端子に至る2分岐を主体としたツリー構造のスイッチアレイの一例とされる。上記アドレスバッファ単位ユニット2（1） $\sim$ 2（4）は、上記スイッチアレイにおける同一階層のスイッチ素子を1ビットの相補アドレス信号にて相補的にスイッチ動作させるための複数ビットの相補アドレス信号を入力アドレス信号に基づいて形成するアドレスバッファの一例とされる。相互に対応されるスイッチ及びデコーダ単位ユニットとアドレスバッファ単位ユニットはセレクトを構成することになる。

【0025】上記一つのアドレスバッファ単位ユニット2（1）は、直列2段のインバータ $IV1$ （1）、 $INV3$ （1）と、双方のインバータの結合点に入力が結合されたノンインバータ $NI1$ （1）によってアドレス信号 $A2$ （1）の内部相補アドレス信号を形成し、直列2段のインバータ $IV2$ （1）、 $INV4$ （1）と、双方のインバータの結合点に入力が結合されたノンインバータ $NI2$ （1）によってアドレス信号 $A1$ （1）の内部相補アドレス信号を形成する。その他のアドレスバッファ単位ユニット2（2） $\sim$ 2（4）も同様に構成される。

【0026】上記一つのスイッチ及びデコーダ単位ユニット1（1）は、出力端子 $O1$ から入力端子 $I1 \sim I4$ に至る2分岐の各経路に経路選択用のNMOSトランジスタ $Q1$ （1） $\sim$  $Q6$ （1）が配置され、上位側より同一

階層のトランジスタのゲートには対応する内部相補アドレス信号が供給されて構成される。例えば、アドレス信号 $A2$ （1）、 $A1$ （1）が1、0のとき、 $Q6$ （1）のゲートに“H”レベル（ハイレベルとも記す）、 $Q5$ （1）のゲートに“L”レベル（ローレベルとも記す）が印加され、 $Q6$ （1）がオン、 $Q5$ （1）はオフする。更に $Q2$ （1）と $Q4$ （1）のゲートに“L”レベルが印加され、 $Q1$ （1）と $Q3$ （1）のゲートに“H”レベルが印加されるので、 $Q1$ （1）と $Q3$ （1）がオン、 $Q2$ （1）と $Q4$ （1）はオフする。従って出力端子 $O1$ においては出力と入力を通じる信号パスは $Q6$ （1）と $Q3$ （1）の経路であり、入力端子のうち $I3$ が選択され、 $I3$ の信号が出力端子 $O1$ へ伝達される。出力の他のポートにおいても同様にアドレス信号により信号パスが設定されて、自由に入力端子の選択ができるようにされる。

【0027】図2には別の実施例に係るクロスポイントスイッチの回路図が示される。図1の実施例に対してデータの入力バッファ部3と出力バッファ部4を付加した点が相違され、その他の構成は図1の実施例と同じであるのでその詳細な説明は省略する。本実施例によれば、入出力のファンイン・ファンアウトを基準化できる。換言すれば、クロスポイントスイッチ回路の出力の駆動能力と必要な入力レベルとを規定することができる。

【0028】図3にはさらに別の実施例に係るクロスポイントスイッチ回路の回路図が示される。図2の実施例に対してスイッチ及びデコーダ一体部1のスイッチをNMOSTランスファゲートからCMOSTランスファゲートに置き換えた点が相違され、その他の構成は上記実施例と同じである。この構成を採用すると、スイッチ及びデコーダ一体部1のスイッチ素子の数は上記実施例に比べて2倍になるが、伝達される信号レベルがNMOSTランジスタのしきい値電圧に応じて降下する点を改善できて、トランスファスゲートのスイッチ特性を向上させることができる。本実施例のように $4 \times 4$ 程度の規模のクロスポイントスイッチ回路の場合にはCMOSTランスファゲートにすることによる素子数の増加は半導体集積回路全体では左程ではない。但し、スイッチ及びデコーダ一体部1の規模が大きいたまは素子の倍増は物理的回路規模の増大と言う点において無視し得なくなることが予想される。その場合には製造プロセスに $0.3 \mu m$ ルールを採用するなど、高集積化を考慮しなければならないこともあり、ゲートアレイのような形式で容易に大規模なクロスポイントスイッチ回路を構成することが制限されることが予想される。

【0029】図4には本発明の他の実施例に係るクロスポイントスイッチ回路の回路図が示される。今まで説明した実施例では入力と出力の数が同数であったが、本実施例では、入力が4個に対して出力が2個とされ、出力の数が入力の数の $1/2$ とされる。この構成において図

1や図2と同様の4×4と同等の機能を実現するために、アドレス信号は入力端子の入力信号周波数の2倍で動作(変化)され、出力は入力信号の2倍の周波数で多重化された形式を以て出力される。本実施例では、スイッチ動作とともに多重化動作も加わるので、スイッチ及びデコーダ一体部1は2個の単位ユニット1(1)、1(2)から構成すれば済み、その分だけ更に素子数を減らしてクロスポイントスイッチ回路を構成することができる。

【0030】本実施例では、アドレスバッファ2の前段にはアドレス信号多重化回路5が設けられている。このアドレス信号多重化回路5は上記実施例におけるアドレス信号A1(1)、A2(1)、A1(2)、A2(2)、A1(3)、A2(3)、A1(4)、A2(4)による入力端子I1~I4の選択と互換性を持たせる構成とされる。即ち、アドレス信号多重化回路5はアドレスバッファ単位ユニット2(1)、2(2)の入力に対応して多重化単位ユニット5(a)~5(d)が設けられ、それぞれの出力A1[1]、A2[1]、A1[2]、A2[2]が対応するアドレスバッファ単位ユニットの入力に結合される。例えば多重化単位ユニット5aはアドレスA1(1)とA1(2)とを多重化するものであり、例えばその一例論理構成は図6に示される。その論理はマルチプレクス論理を基本とし、切り換えパルスMPのハイレベル期間にアドレスA1(1)を通過させるアンドゲートAND1、切り換えパルスMPのローレベル期間にアドレスA1(2)を通過させるアンドゲートAND2、双方のアンドゲートAND1、AND2の論理和をとって多重化アドレス信号A1[1]を出力するオアゲートOR1にて構成される。上記切り換えパルスMPはアドレス信号A1(1)、A2

(1)、A1(2)、A2(2)、A1(3)、A2(3)、A1(4)、A2(4)の周波数に対して2倍の周波数を以て変化される。したがって、当該多重化単位ユニット5aの多重化アドレス信号A1[1]はアドレス信号A1(1)、A1(2)をその2倍の周波数を以て多重化する。多重化されるアドレス信号の組み合わせからも明らかなように、当該多重化単位ユニット5aの多重化アドレス信号A1[1]を受けるアドレスバッファ単位ユニット2(1)及びスイッチ及びデコード単位ユニット1(1)の回路部分は、図1におけるアドレスA1(1)を受けるアドレスバッファ単位ユニット2(1)及びスイッチ及びデコード単位ユニット1(1)の回路部分と、アドレスA1(2)を受けるアドレスバッファ単位ユニット2(2)及びスイッチ及びデコード単位ユニット1(2)の回路部分との機能を兼用することになる。多重化単位ユニット5bはアドレスA2(1)とA2(2)とを多重化し、多重化単位ユニット5cはアドレスA1(3)とA1(4)とを多重化し、多重化単位ユニット5dはアドレスA2(3)とA2

(4)とを多重化して、同様の機能を実現する。

【0031】図5には図4に示されるクロスポイントスイッチ回路の一例タイミングチャートが示される。同図において多重化アドレス信号A1[1]、A2[1]は切り換えパルスMPのレベル変化に同期して順次入力端子I3、I2、I1、I3…を選択する情報とされとされ、多重化アドレス信号A1[2]、A2[2]は切り換えパルスMPのレベル変化に同期して順次入力端子I4、I1、I2、I4…を選択する情報とされている。このときの出力端子O1にはI3、I2、I1、I3…からの入力、出力端子O2にはI4、I1、I2、I4…からの入力順次切り換えパルスMPの変化に同期して出力される。この図から明らかなように、本実施例においても上記実施例と同様に入力端子I1~I4は任意のアドレスの指定に従って所要の出力端子O1、O2、O3、O4に接続されることが理解されよう。特にこの実施例では、入力信号の動作周波数に対してアドレス周波数は2倍になっており、入力信号の1サイクルの間に出力信号は2サイクルで出力される。スイッチ及びデコーダ一体部の回路規模縮小と共に時分割多重化も併せて実現されている。なお、図4の実施例において時分割多重化された出力を逆多重化するには上記切り換えパルスに同期動作される図示しないがデマルチプレクサ及びラッチ回路を用いればよい。

【0032】図7にはアドレスバッファの分散駆動に関する実施例が示される。図1~図4の実施例からも明らかなように、スイッチ及びデコーダ一体部1に含まれるスイッチは2分岐(ツリー状)の構成とされるので、入力端子数が増えるそれぞれの単位スイッチ及びデコード単位ユニットにおいてアドレス下位側ビットのアドレスバッファの負荷は非常に重くなる。例えば一つのスイッチ及びデコード単位ユニットに供給される相補アドレス信号が例えば7ビットの場合、NMOSTransファゲートのスイッチトランジスタは7段(7階層)構造となり、アドレス最上位ビットの相補アドレス線はそれぞれ1個のスイッチMOSTランジスタを駆動すればよいが、下位側になるに従って駆動すべきスイッチMOSTランジスタの数が増え、第7ビット目のアドレス最下位ビットの相補アドレス線は夫々最大で64個のスイッチMOSTランジスタを駆動しなければならない。そこで、図7に示されるようにA1(j)で代表されるような下位アドレス側に関してはアドレスバッファの負荷を分散する。例えば同図に示されるようにアドレスバッファ単位ユニットの終段インバータIV10及び終段ノンインバータNI11の出力に結合されたアドレス線を適宜の複数箇所に分岐させ、各分岐基端部にノンインバータのようなサブドライバNI12を配置し、サブドライバNI12の出力に所定個数ずつスイッチMOSTランジスタのゲートを接続する。これにより、下位側の相補アドレス信号によるスイッチMOSTランジスタの選択

動作が高速化されるので、大きなマトリックス（入出力端子数の多いクロスポイントスイッチ回路）を構成した場合でも、全体としての選択動作の高速化を実現できる。

【0033】図8には本発明に係るクロスポイントスイッチ回路のさらに別の実施例が示される。本実施例は、出力バッファ部4のCMOS出力バッファに帰還用PMOS（Pチャンネル型MOS）トランジスタ $Q_p$ を設けてある点が図2の実施例と相違される。PMOSTランジスタ $Q_p$ はそのソースが電源端子VDDに、ドレインがCMOS出力バッファ $O_{buff}$ の入力に、ゲートがCMOS出力バッファ $O_{buff}$ の入力に結合される。これにより、スイッチ及びデコーダ一体部1において出力バッファに伝達される、NMOSTランジスタのしきい電圧分だけ電圧降下した“H”レベルの信号を電源電圧VDDまで引き上げることができる。

【0034】CMOS-LSIにおいては製品テスト時、非動作状態でリーク電流テスト（IDDSテストとも記す）が行われる。IDDSテストとは非動作時に流れるLSIの電源電流（実質的にはリーク電流）を測定するテストである。CMOS-LSIでは本来、非動作時には電源電流は流れないから、もし製造時に欠陥が生じているとリーク電流が大きくなり、それを検出することによってそのようなLSIを不良品として排除することができるため、LSIの信頼度を確保する上で重要なテストである。クロスポイントスイッチ回路をCMOS-LSIとして構成するとき、スイッチ及びデコーダ一体部1のトランスファゲートをNMOSTランジスタで構成したときは、NMOSTランジスタのドレインソース間にはそのしきい電圧分の電位降下が起きるので、その信号を受けるCMOSインバータ（本実施例に従えばCMOS出力バッファ $O_{buff}$ ）では、IDDSテストを行うと、もし信号が“H”レベルの場合、上記帰還用のPMOSTランジスタ $Q_p$ を用いなければ過大なリーク電流が流れることになって、IDDSテストを不能にする。図8のようなCMOSインバータで構成されるような出力バッファ $O_{buff}$ においてプルアップされた帰還用PMOSTランジスタ $Q_p$ は、スイッチアレイがNMOSTランジスタから成るクロスポイントスイッチ回路には必須の回路とされる。

【0035】図9には本発明の更に別の実施例が示される。この実施例は図8の出力バッファ部4に代えて、IDDDテスト時における出力バッファ部での貫通電流防止と擬似ACテスト機能を実現するための、出力バッファ部7及びクロック発生部6を備える。

【0036】出力バッファ部7は出力端子 $O_1 \sim O_4$ に一対一対応される出力単位ユニット7（1）～7（4）にて構成され、代表的にその詳細が示される出力単位ユニット7（1）は、スイッチ及びデコーダ単位ユニット1（1）の出力に結合されたCMOSTランスファゲート

トTG1、出力端子 $O_1$ に結合されたCMOSインバータから成る出力バッファIN51（1）、出力バッファIN51（1）の入力とCMOSTランスファゲートTG1の出力との間に配置されたラッチ回路LATにて構成される。ラッチ回路LATは、逆並列接続されたCMOSインバータIV50（1）及びIV52（1）とCMOSTランスファゲートTG2から構成される。

【0037】クロック発生部6は、クロック信号CLKとIDDDテストイネーブル信号IDEN\*（記号\*はそれが付加された信号がローアクティブの信号であることを意味する）を受けて、上記トランスファゲートTG1、TG2をスイッチ制御する。クロック信号CLKは2入力アンドゲートAND3の一方の入力に供給されると共に、遅延素子としての直列5段のCMOSインバータIV62～IV68を介してアンドゲートAND3の他方の入力に供給される。これによってアンドゲートAND3はクロック信号CLKが変化されると、そのハイレベルへの変化に同期してハイレベルにされ、直列5段のCMOSインバータIV62～IV68によって規定される遅延時間を待ってローレベルに変化される。アンドゲートAND3の出力（内部クロックの一例）は、2入力ノアゲートNR1の一方の入力に供給されるIDDDテストイネーブル信号IDEN\*のローレベル期間において当該ノアゲートNR1の反転通過が許容される。IDDDテストイネーブル信号IDEN\*のハイレベル期間において当該ノアゲートNR1の出力はローレベル固定とされる。ノアゲートNR1の出力は、CMOSTランスファゲートTG1に含まれるPMOSTランジスタ $Q_7$ （1）とCMOSTランスファゲートTG2に含まれるNMOSTランジスタ $Q_{10}$ （1）のそれぞれのゲートにノンインバータNI60を介して供給され、また、CMOSTランスファゲートTG1に含まれるNMOSTランジスタ $Q_9$ （1）とCMOSTランスファゲートTG2に含まれるPMOSTランジスタ $Q_8$ （1）のそれぞれのゲートにインバータIV61を介して供給され、双方のトランスファゲートTG1、TG2はノアゲートNR1の出力レベルに従って相補的にスイッチ動作される。

【0038】上記出力バッファ部7及びクロック発生部6を用いたIDDDテスト時の動作を説明する。IDDDテスト時においてIDDDテストイネーブル信号IDEN\*は“L”レベル、クロック信号CLKは変化されず“H”レベルまたは“L”レベルに固定される。この状態においてアンドゲートAND3の出力は“L”レベルとなり、ノアゲートNR1の出力は“H”レベル、インバータIV61の出力は、“L”レベル、ノンインバータNI60の出力は“H”レベルとされる。これによって、出力バッファ部7のCMOSTランスファゲートTG1がオフ状態にされて、スイッチ及びデコーダ一体部1と出力バッファ部7が分離され、これに同期してラッ



チ回路LATのCMOSトランスファゲートTG2がオン状態にされるので、そのときスイッチ及びデコーダ一体部1から与えられていた中間レベルは電源電圧VDD又は接地電位GNDに強制され、欠陥がない限り出力バッファ部7ではスタンバイ時にリーク電流が一切流れないようにされる。

【0039】次に出力バッファ部7及びクロック発生部6における疑似ACテスト機能を説明する。高いテスト動作周波数を以て回路をアナログ的にテストしてそのAC特性をテストするアナログテストは高価である。低いテスト動作周波数でテストを行えばその目的を達することができるようなDCファンクションテストなどに専ら用いられるデジタルテストはその動作速度などの点においてアナログテストよりも安価である。疑似ACテスト機能とは、そのようなデジタルテストを用いてある程度のAC特性をテストできるようにする、被テストデバイス側のテスト支援機能である。

【0040】疑似ACテスト機能を用いたテストを行う場合には、図10に示されるように、IDEN\*は“L”レベルとされ、クロック信号CLKはアドレス信号の変化に同期した周波数のクロック信号とされる。そうすると、クロック信号CLKの周波数とは独立にインバータIV62～IV68の遅延時間に相当するパルス幅を持つ内部発生のパルスがアンドゲートAND1で生成される。アンドゲートAND1の出力がハイレベルにされる期間においてトランスファゲートTG1はオン状態、トランスファゲートTG2はオフ状態にされ、そのときのスイッチ及びデコーダ一体部1の出力は出力バッファ部7に伝達される。そして、アンドゲートAND1の出力がローレベルに反転されると、トランスファゲートTG1がカット・オフ状態にされ、それまでの間に出力バッファ部7に伝達された信号がラッチ回路LATにラッチされ、それ以降スイッチ及びデコーダ一体部1の出力が変化されても出力端子O1～O4はその影響を受けないようにされる。したがって、インバータIV62～IV68による遅延時間を、アドレスを変化させてから出力バッファ部7にデータが伝達されるまでの許容上限時間もしくはその近傍の時間に設定しておけば、ラッチされたデータが期待値に一致しているか否かを以てクロスポイントスイッチ回路のAC特性を判定することが可能になる。例えばスイッチ及びデコーダ一体部1に含まれる特定のNMOSトランジスタにgm（相互コンダクタンス）が特に小さくなるような不良が存在する場合（例えばゲートのパターン不良などによって発生する）、そのNMOSトランジスタを含む信号伝達経路がアドレス信号にて選ばれると、信号伝達が著しく遅延する。したがって、そのような不良は、一定の時間内に正規のデータがラッチ回路LATにラッチされないことを以て検出することができる。これにより、テストによるテスト時、たとえクロックに同期されるテスト動作の速

度が遅くても、内部パルス幅（アンドゲートAND3のハイレベル期間）以上に入力端子からの信号伝達が遅れるとトランスファゲートTG1がオフしてしまい、このことにより、入力信号の遅延時間を選別テストできるので、そのような意味でのクロスポイントスイッチ回路のAC特性のテストを、チップに内蔵した簡単な回路によって支援する事ができる。換言すれば、AC特性保証機能をLSIチップそれ自体に持たせることができる。図9においては直列インバータIV62～IV68の段数によって上記遅延時間を設定したが、例えば、実際のスイッチ及びデコーダ一体部1の信号パスと等価なダミー回路を採用し、その実際の伝播遅延時間をもって上記遅延時間に代えることができ、プロセスばらつきの影響を受けずに上記遅延時間を正確に実現できる。

【0041】実使用時にはIDEN\*は“H”レベルとされ、トランスファゲートTG1はオン、トランスファゲートTG2はオフとされ、出力バッファ部7はスルーモードで動作される。尚、実使用時においても疑似ACテスト時と同様に動作させて利用することも可能である。専らそのような利用だけを考えるならば、アンドゲートAND3の出力をインバータIV61、ノンインバータNI60の入力に供給すればよい。

【0042】図11にはクロスポイントスイッチ回路セルのレイアウトに関する実施例が示される。9はクロスポイントスイッチ回路セルであり、その上層には例えばアルミニウム第3層目の配線を用いた配線（アドレススルー配線）8が施される。すなわち上記実施例におけるアドレス信号A1(1)、A2(1)、A1(2)、A2(2)、A1(3)、A2(3)、A1(4)、A2(4)のような2進のアドレス信号の配線層をクロスポイントスイッチ回路セル9の上をスルーで並設する。通常上記実施例に示されるようなクロスポイントスイッチ回路はチップ上に複数個並べられて並列動作されるように利用される。例えば1チャンネルが8ビットのときクロスポイントスイッチ回路は深さ方向に8面存在される状態を想定されたい。そのときのアドレス信号は各クロスポイントスイッチ回路に共通に供給されることになる。したがって、共通のアドレス線をセル9の上空に配置しておく、と、並べたセル間の短い距離を結ぶだけで、セル9の周辺を迂回することなくアドレス信号を各セル7に供給でき、高密度に実装が可能となる。クロスポイントスイッチ回路をマクロセルもしくはスタンダードセルとしてライブラリ化しておく場合には、上記アドレススルー配線8も当該クロスポイントスイッチ回路の一部としてライブラリに登録されることになる。尚、A1(1)'、A2(1)'、A1(2)'、A2(2)'、A1(3)'、A2(3)'、A1(4)'、A2(4)'で示される各端子はアドレススルー配線8の端部を示すものと理解されたい。

【0043】図12にはそのようなレイアウトを採用し

たチップ全体のレイアウト図が示される。図12においてクロスポイントスイッチ回路セルは14~17で示されるように4個並設されている。8は例えばアルミニウム第3層目をを用いた共通のアドレススルー線、CHPはチップ、10はボンディングパッド、11は入出力バッファ部、12は敷詰めゲート領域、13は敷詰めゲート領域の拡大図でありトランジスタが敷詰められている。図12においてアドレススルー配線8以外の配線は図示が省略されているが、実際には同一アドレス信号が供給されるべきアドレススルー配線8は共通接続されてアドレス入力バッファに割り当てられる入出力バッファ部11に結合される。尚、13で示される敷詰めゲート領域の拡大図において、130で示される破線の矩形領域は4個のPMOSTランジスタと4個のNMOSTランジスタから成る基本セルを構成する。クロスポイントスイッチ回路セル14~17はそのような基本セルにて構成することも可能であり、また、予じめライブラリにマクロセルとして用意されたパターンを埋め込んで構成することも可能である。前者による半導体集積回路を単なるゲートアレイと呼ぶ場合には、後者はエンベデッドアレイ(Embedded Array)と呼ぶことができる。

【0044】図13にはクロスポイントスイッチ回路を構成する半導体集積回路の別のレイアウトに関する実施例が示される。18~21はクロスポイントスイッチ回路セルであり、各セルには第4層目アルミニウム配線を用いてセル渡りのスルー配線22を配線チャンネルに実装している。配線22は例えば敷詰めゲート領域12に構成された別の回路への配線をクロスポイントスイッチ回路を迂回させずに敷設できるという点において高集積化に寄与する。

【0045】図14にはクロスポイントスイッチ回路を構成する半導体集積回路のさらに別のレイアウトに関する実施例が示される。これは、図9で説明した実施例のクロック発生部6においてIDDSテストを可能とするためのIDDSイネーブル信号IDDS\*のための外部端子を設けた例である。各セルのIDDSイネーブル信号IDDS\*の入力区端子は、相互に共通接続され、所定の入出力バッファ部11を通過させた配線23により所定のボンディングパッド10を通してLSIの外部端子へ導かれる。これによりLSI外部よりIDDSテスト及び疑似ACテストを簡単に制御することができる。

【0046】図15にはLSIのアルミニウム配線層の断面構造の一例が示されている。図において下地の拡散層は図示が省略されている。AL1は第1層目のアルミニウム配線、AL2は第2層目のアルミニウム配線、AL3は第3層目のアルミニウム配線、AL4は第4層目のアルミニウム配線である。24及び25は層間絶縁膜、26は保護膜である。ここにAL1とAL3は紙面の表裏方向に延在し、AL2とAL4は紙面の左右方向

に延在される。

【0047】次に敷詰めゲート領域の上記基本セル130を用いてクロスポイントスイッチ回路特にそのスイッチ及びデコーダ一体部1を構成する場合の具体的なレイアウトを図16及び図17を参照しながら説明する。図16には4入力(IN1~IN4)1出力(OUT)の2階層ツリー構造スイッチ回路の単位ユニットが示される。この回路はNMOSTランジスタ6個を用いた2段階のセレクト回路であり、以下単にセクタ4-1SEL SWとも記す。このセクタ4-1SEL SWは図に示すように、基本セル130を2個用いて構成できる。PMOSTランジスタは利用されていない。

【0048】図17には入力×出力が96×96の規模のクロスポイントスイッチ回路におけるスイッチ及びデコーダ一体部1のセルレイアウト例が示されている。同図においてO1~O96は出力端子、I1~I96は入力端子である。この規模のクロスポイントスイッチ回路においては、一つの出力に対応されるスイッチ及びデコーダ単位ユニットSD-Uは96段必要とされ、各段は7ビットの相補アドレス信号a1~a7(a1, ..., a7は夫々反転及び非反転の2本の相補信号を意味する)によって選択動作が行われなければならない。すなわち夫々のスイッチ及びデコーダ単位ユニットSD-Uは7階層の2分岐スイッチアレイによって構成され、階層毎に1ビットの相補アドレス信号を受けてスイッチ動作される。図17においてこれを満足するためのレイアウトとして、各スイッチ及びデコーダ単位ユニットSD-Uを、66個の基本セル130の列を用いて構成する。すなわち、66個の基本セル列の左右に夫々12個のセクタ4-1SEL SWを構成して相補アドレスa7、a6でスイッチ制御される下位側第1及び第2段目のスイッチアレイを実現し、残りの中央部の18個の基本セルにて9個のセクタ4-1SEL SWを構成して相補アドレスa1~a5でスイッチ制御される上層側のスイッチアレイを実現する。

【0049】図18には図1の基本的な回路構成を以て96×96の大規模なクロスポイントスイッチ回路を図17で説明したレイアウト形式のゲートアレイで構成した場合と図19に示されるような回路形式を以て同規模のクロスポイントスイッチ回路を構成した場合における全所要トランジスタ数とチップ専有面積との比較例が示される。図19の回路は公知ではないが本実施例との比較例として挙げるものである。図19において41は図1のスイッチ及びデコーダ一体部1に対応される回路、42は図1のアドレスバッファ部2に対応される回路である。図19に示されるスイッチ及びデコーダ部41は、入力信号線と出力信号線との各交点部分にNMOSTランジスタ410が配置され、どのNMOSTランジスタ410をオン状態にすべきかをアドレスバッファ部42からの相補アドレス信号に従ってデコードするデ

17

コードが配置されている。デコーダは、夫々のNMOSトランジスタ410に一対一対応で設けられたインバータ411及びナンドゲート412にて構成され、極めて多くのMOSTランジスタを費やしている。双方を比較した結果、本実施例に係るクロスポイントスイッチ回路は図19のような回路構成に比べ、トランジスタ数で1/6、面積で1/3と大幅に優れた特性を得ることが明らかにされた。したがって、図1に代表されるような回路構成をスイッチ及びデコーダ一体部に採用することは、回路規模が大きければ大きいほど面積効率を向上させることができる。換言すれば、0.3 $\mu$ mというようなデバイスプロセス技術を用いたのと同様のチップサイズを保ちつつ0.8 $\mu$ mのようなデバイスプロセス技術に係るゲートアレイのような手法にて同一機能のクロスポイントスイッチ回路を実現できる。このことは、クロスポイントスイッチ回路用の半導体集積回路のコストを著しく低減させる。

【0050】上記実施例によれば以下の効果がある。

(1) 2分岐を主体とするツリー構造のスイッチアレイから成るスイッチ及びデコーダ一体部1は、階層的に経路を選択するNMOSTランジスタが、図19のようなスイッチマトリクスにおけるスイッチトランジスタとデコーダトランジスタとの双方の機能を実現し、且つ、階層的に多段接続されたそのような経路選択用NMOSTランジスタの数は上位階層ほど少なくされ、これにより、クロスポイントスイッチ回路におけるスイッチアレイの論理的な規模に比べてその物理的な回路規模を縮小することができる。例えば、各セレクトのアドレスが7ビットとされる規模の96 $\times$ 96クロスポイントスイッチ回路においてスイッチ部を図19のようなスイッチマトリクス構成に比べて1/6程度のトランジスタ数で構成でき、素子数低減の効果が大きい。またゲートアレイ上に実現した場合でもチップ上に占める面積が1/3となり大幅に高集積化できる。

【0051】(2) アドレス信号多重化回路5はその多重化数に応じてセレクトの数を低減し、クロスポイントスイッチ回路の物理的な規模をさらに減少させることができる。

【0052】(3) 経路選択用トランジスタとしてNMOSTランジスタを採用することにより、スタスイッチアレイを構成するスイッチ素子の素子数最大限に減少させることができる。

【0053】(4) スwitchアレイはツリー構造故にアドレスバッファが駆動すべき負荷は下位側階層ほど大きくされる。アドレスバッファの相補アドレス信号線の負荷が相対的に重いものにはサブドライバN112を介在させることにより、そのような駆動負荷の相違による選択動作の遅れを解消することができる。換言すれば、アドレスバッファが駆動すべき負荷の相違を見かけ上均一化して動作速度を向上させることができる。

18

【0054】(5) CMOS出力バッファObuffを設けた場合におけるスタンバイ状態でのリーク電流テストを考慮すると、出力バッファObuffを正帰還制御するPMOSTランジスタQpをプルアップ接続することにより、出力バッファObuffに貫通電流が流れることを防止することができ、信頼性に高いリーク電流テストを保証することができるようになる。

【0055】(6) 擬似ACテストに際してクロスポイントスイッチ回路が正常に動作するときの動作遅延時間よりも長い所定時間経過後にラッチ回路LATをラッチ動作せ、ラッチされたデータが期待値に一致するかを判定することによってスイッチアレイのAC的な欠陥（例えばスイッチ素子パターンの欠陥によるgmが異常に小さくなるような欠陥）を判定できる。外部から供給されるクロック信号CLKの所定の変化から所定の遅延時間を経過するまでの期間に応ずるパルス幅を持つ内部クロック（アンドゲートAND3の出力）を形成して、上記ラッチ回路LAT及びトランスファゲートTG1の動作制御信号を形成するクロック発生部6を設けることにより、そのような動作遅延時間よりも長い所定時間をクロスポイントスイッチ回路内部で形成して、それ自体で擬似ACテストを支援できるようになる。換言すれば、テスト動作の遅いテストを用いる場合にもラッチ回路LATの制御は当該クロック発生部6内蔵の遅延回路（IV62～IV68）の遅延時間で決定され、テスト動作周波数に依存することなくクロスポイントスイッチ回路のAC特性を保証することができる。

【0056】(7) 上記クロスポイントスイッチ回路を複数個並設して構成される半導体集積回路において、夫々のクロスポイントスイッチ回路を構成するセルの上層にスルー配線を並設し、当該スルー配線を、夫々のクロスポイントスイッチ回路に共通のアドレス信号を供給するためのアドレススルー配線8、又はその他の回路セルに接続されるセル渡りのスルー配線22として利用することにより、クロスポイントスイッチ回路へのアドレス信号配線などの配線効率を向上させることができる。

【0057】(8) 上記クロスポイントスイッチ回路はツリー状のスイッチアレイ故にその論理規模（入力端子数 $\times$ 出力端子数）が大きいてもその構成スイッチ素子数の増大を最小限に抑えることができるため、ゲートアレイの敷詰めゲート領域にクロスポイントスイッチ回路を構成することが容易である。このときのクロスポイントスイッチ回路におけるセレクトを、上記敷詰めゲート領域がCMOS基本セルのセル列から成るとき、上記CMOS基本セルの複数のセル列から成る所定の矩形領域にレイアウトする事が、敷詰めゲート領域を利用するときの面積効率を向上させることができる。

【0058】以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲におい

て種々変更可能であることは言うまでもない。例えば、スイッチアレイは完全に2分岐構造である必要はなく、入力端子の数が2のべき乗以外の場合には上位側階層において部分的に2分岐でない部分が存在することになる。

#### 【0059】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0060】すなわち、クロスポイントスイッチ回路のスイッチアレイの規模を大きくしても、素子数の増大を格段に少なく抑えることができ、例えば伝送システムにおいて、クロスポイントスイッチ回路を含む部分の1チップ化を可能にすることができる。しかも、ゲートアレイを利用できる程度の素子数増大で済むからそのような半導体集積回路を安価に且つ容易に提供可能にすることができる。動作速度が低下してくるが、スイッチアレイの規模を大きくしてもサブワードドライバにてあまり動作速度の劣化を起こさないクロスポイントスイッチ回路を実現できる。アドレス信号の多重化を採用することにより、多重化数に応じてスイッチアレイの数を削減でき、回路の物理的な規模を一層削減することができる。擬似ACテスト機能によってデジタルテストのようなファンクションテスト向きのテストを用いてある程度のAC特性を評価可能にできる。クロスポイントスイッチ回路の上層にスルー配線を施すことによりクロスポイントスイッチ回路を何個か並べて利用するときの配線効率を向上させることができる。上記効果により、入力信号数×出力信号数で代表されるようなスイッチアレイの規模の大型化に最適なクロスポイントスイッチ回路を実現できる。

#### 【図面の簡単な説明】

【図1】本発明に係るクロスポイントスイッチ回路の一実施例回路図である。

【図2】データの入力バッファ部と出力バッファ部を追加したクロスポイントスイッチ回路の一実施例回路図である。

【図3】ツリー状のスイッチをCMOS化したクロスポイントスイッチ回路の一実施例回路図である。

【図4】入力アドレスと出力データの時分割多重機能を追加したクロスポイントスイッチ回路の一実施例回路図である。

【図5】図4の一例動作タイムチャートである。

【図6】図4におけるアドレス信号多重論理の一例論理説明図である。

【図7】アドレスバッファの負荷を分散駆動する回路構成の一例説明図である。

【図8】リーク電流テストを考慮した出力バッファ部を備えたクロスポイントスイッチ回路の一実施例回路図である。

【図9】擬似ACテスト可能な出力バッファ部を備えたクロスポイントスイッチ回路の一実施例回路図である。

【図10】擬似ACテスト時の一例動作タイムチャートである。

【図11】アドレス信号用のスルー配線を上層に設けたクロスポイントスイッチ回路の一例レイアウト図である。

【図12】アドレス信号用のスルー配線を上層に設けた複数のクロスポイントスイッチ回路セルを搭載して成る半導体集積回路の一例チップレイアウト図である。

【図13】アドレス信号用スルー配線と共にセル渡りのためのスルー配線を施した複数のクロスポイントスイッチ回路セルを搭載して成る半導体集積回路の一例チップレイアウト図である。

【図14】信号IDDS\*を半導体集積回路の外部端子に引き出す様子を示した一例レイアウト図である。

【図15】アルミニウム多層配線構造の一例断面図である。

【図16】クロスポイントスイッチ回路の構成要素である4入力1出力セレクタをゲートアレイで実現する場合における単位セルとの対応関係一例説明図である。

【図17】クロスポイントスイッチ回路における96×96の規模のスイッチ及びデコーダ一体部を基本セルで構成する場合におけるセル配置の一例説明図である。

【図18】96×96の規模を持つクロスポイントスイッチ回路に図1に代表的に示される回路構成を採用した場合と図19に代表的に示される回路構成を採用した場合とにおける所要トランジスタ数とチップ面積との比較例を示す説明図である。

【図19】スイッチマトリクスをアドレスデコーダの出力で選択する形式のクロスポイントスイッチ回路の一例説明図である。

【図20】本発明に係るクロスポイントスイッチ回路の応用システムの一例であるSONETのシステム構成図である。

【図21】図20のシステムにおいて本発明に係るクロスポイントスイッチ回路が適用されるADMの一例ブロック図である。

【図22】公知のセルフデコーディングマルチプレクサの回路図である。

#### 【符号の説明】

I1～I4 入力端子

O1～O4 出力端子

A1(1), A2(1), A1(2), A2(2), A1(3), A2(3), A1(4), A2(4) アドレス信号

1 スイッチ及びデコーダ一体部

1(1)～1(4) スイッチ及びデコーダ単位ユニット(スイッチアレイ)

Q1(1)～Q6(1) スイッチ及びデコーダ単位ユ

21

ニット構成用NMOSTランジスタ

2 アドレスバッファ部

2 (1) ~ 2 (4) アドレスバッファ単位ユニット  
(アドレスバッファ)

NI12 サブドライバ

3 入力バッファ部

4 出力バッファ部

Obuff CMOS出力バッファ

Qp 帰還用PMOSTランジスタ

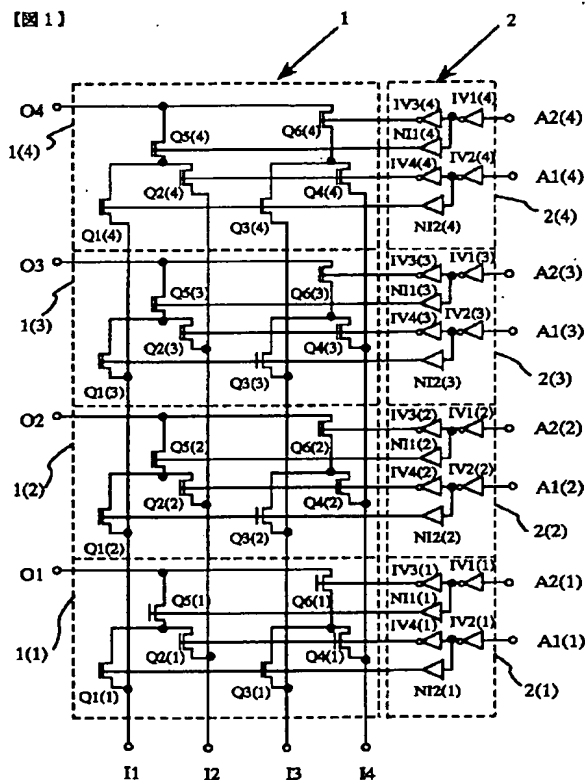
5 アドレス信号多重化回路

6 クロック発生部

7 疑似ACテスト機能を持つ出力バッファ部

LAT ラッチ回路

【図1】



22

TG1 トランスファゲート

8 クロスポイントスイッチ回路セル上に配置したアドレススルー配線

9 クロスポイントスイッチ回路セル

CHP チップ

10 ボンディングパッド

11 入出力バッファ部

12 敷詰めゲート領域

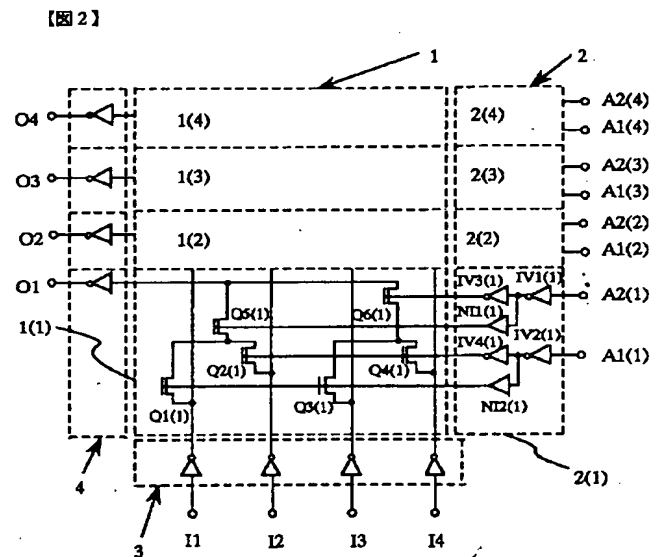
13 敷詰めゲート領域拡大図

10 14~17 クロスポイントスイッチ回路セル

18~21 クロスポイントスイッチ回路セル

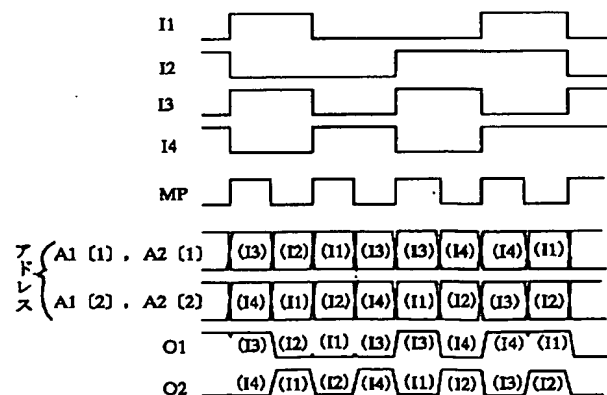
22 セル渡りのスルー配線

【図2】



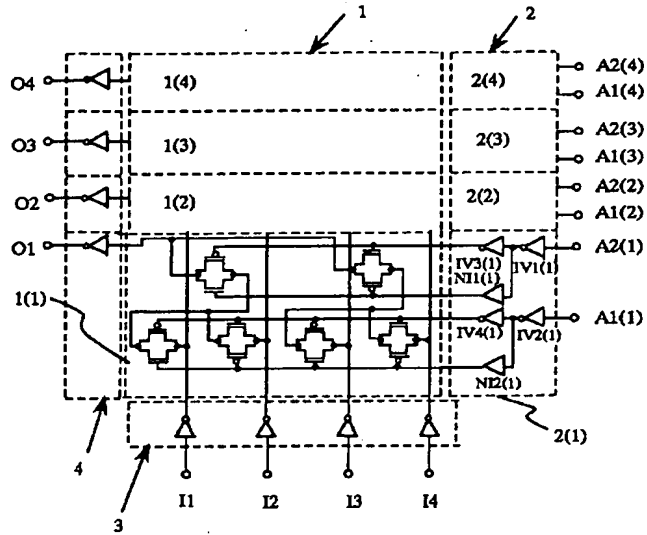
【図5】

【図5】

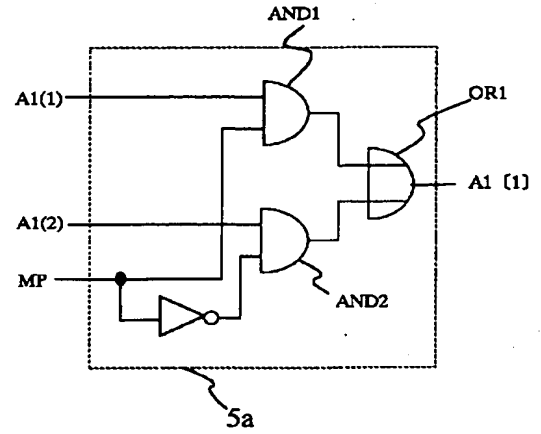


【図3】

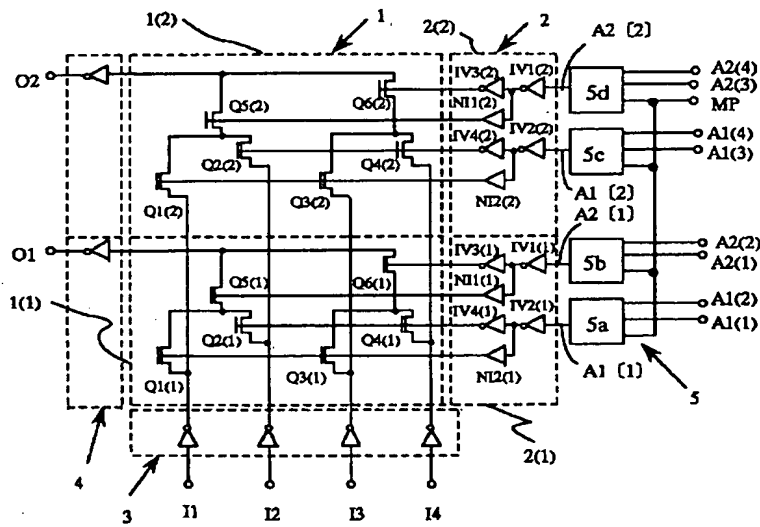
【図3】



【図6】

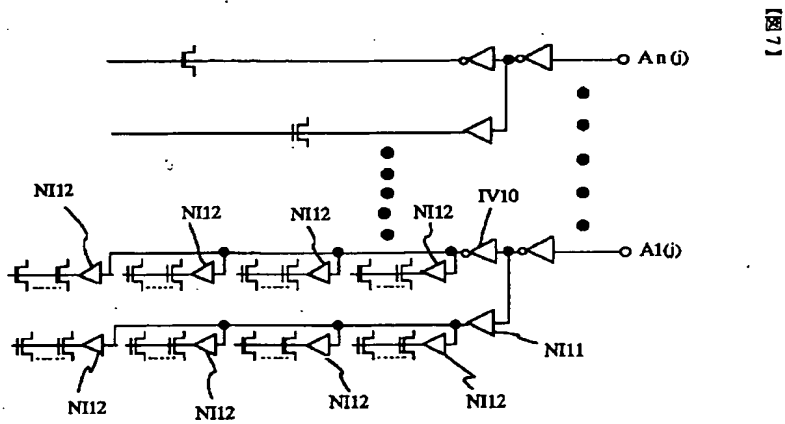


【図4】

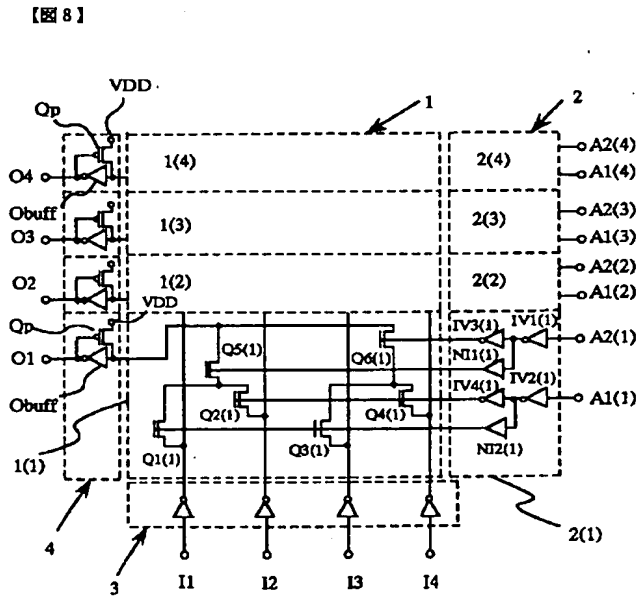


【図4】

【図7】

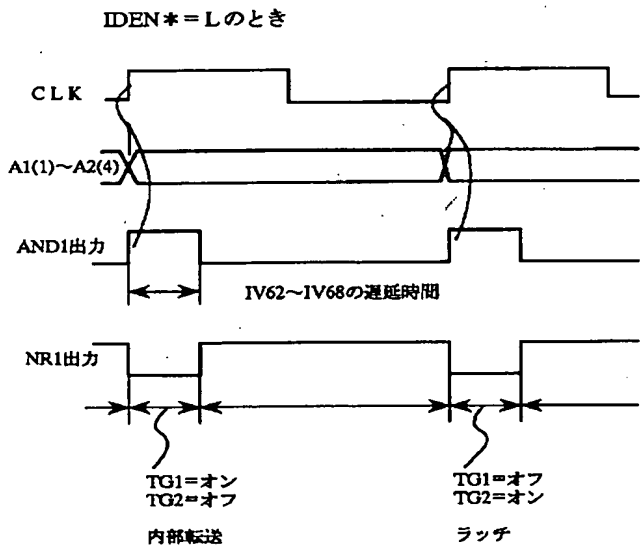


【図8】



【図10】

【図10】



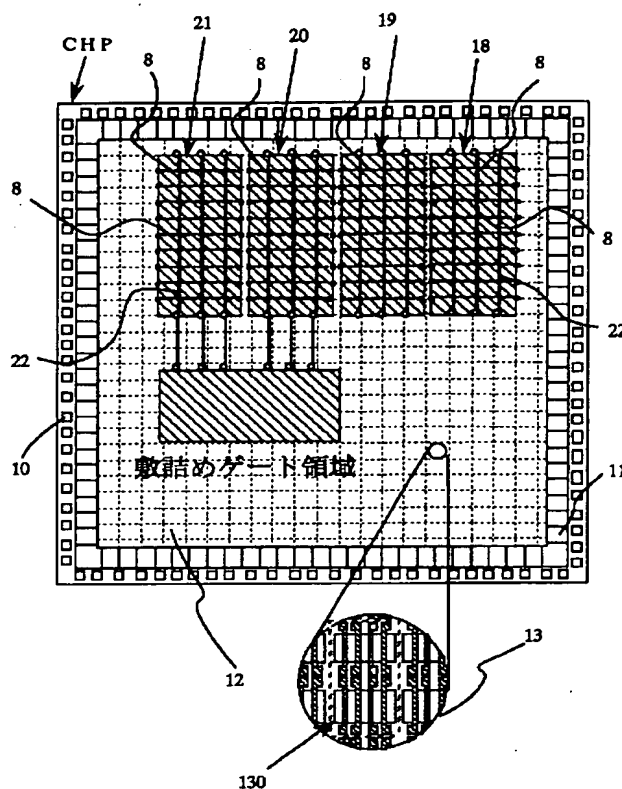




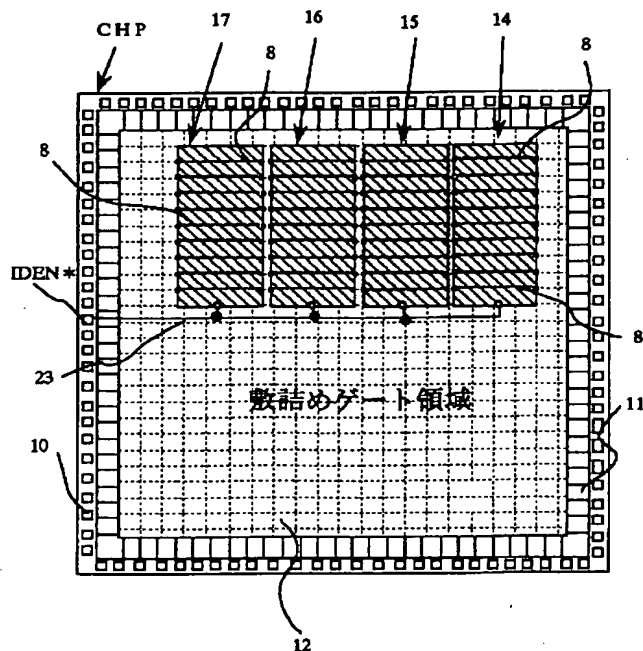
【図13】

【図14】

【図13】



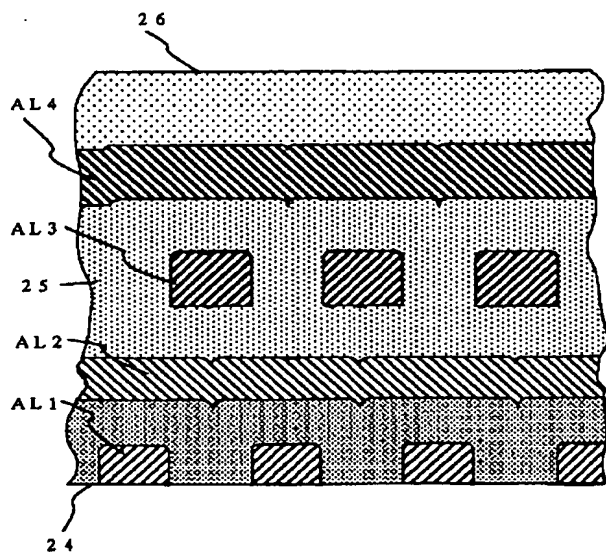
【図14】



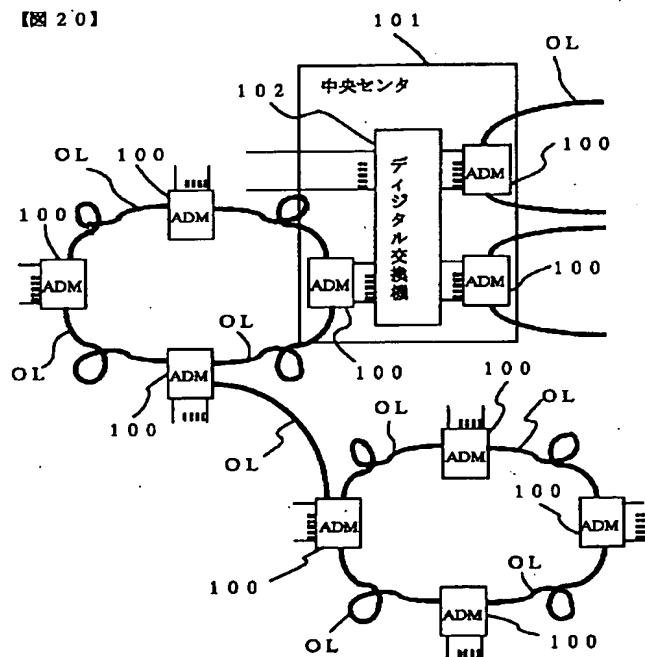
【図15】

【図20】

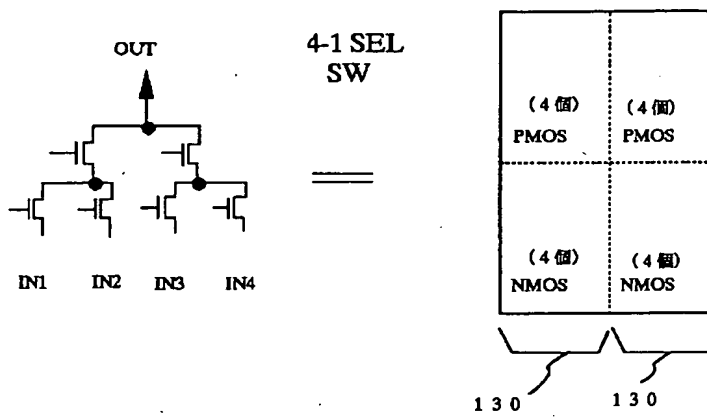
【図15】



【図20】

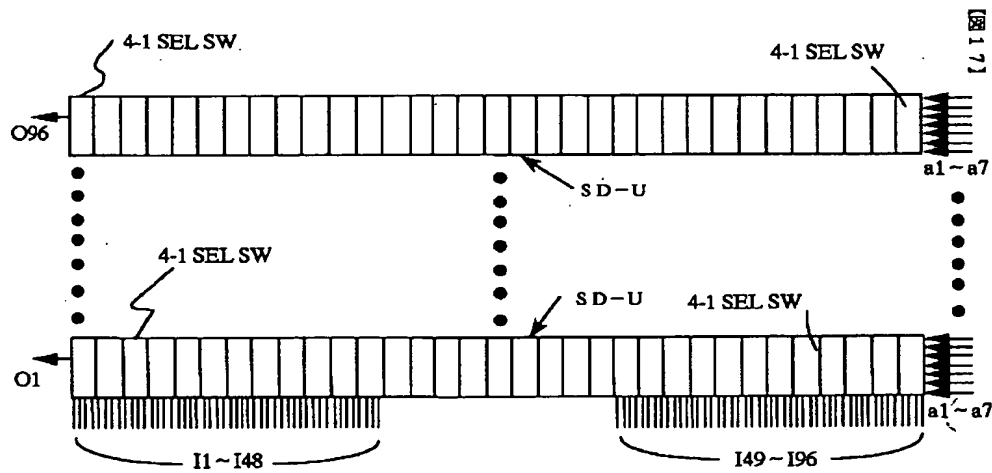


【図16】



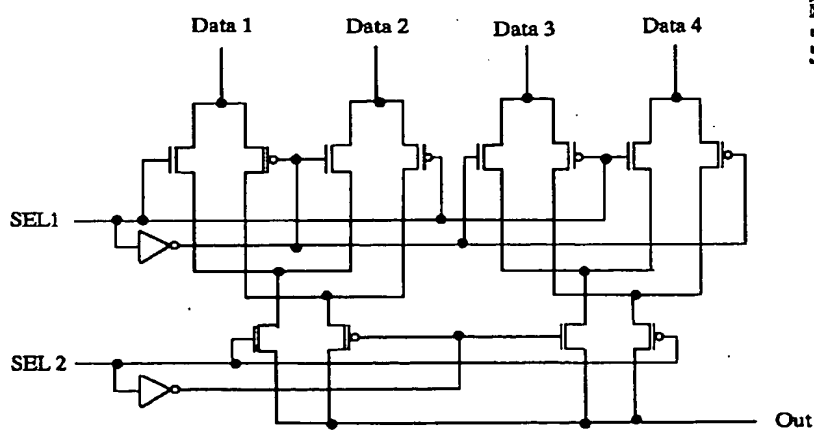
【図16】

【図17】



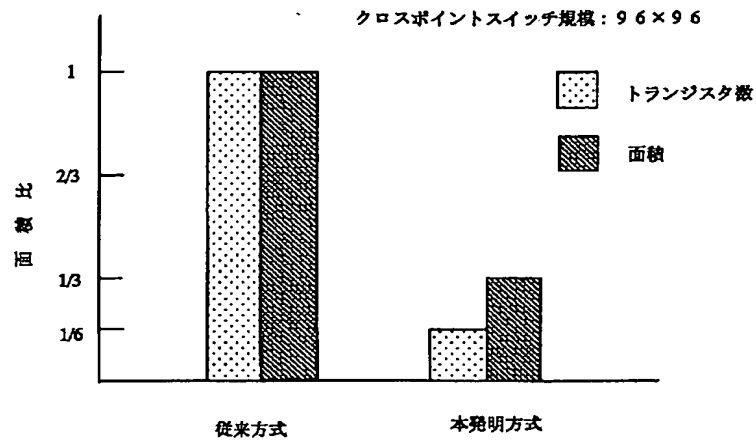
【図17】

【図22】



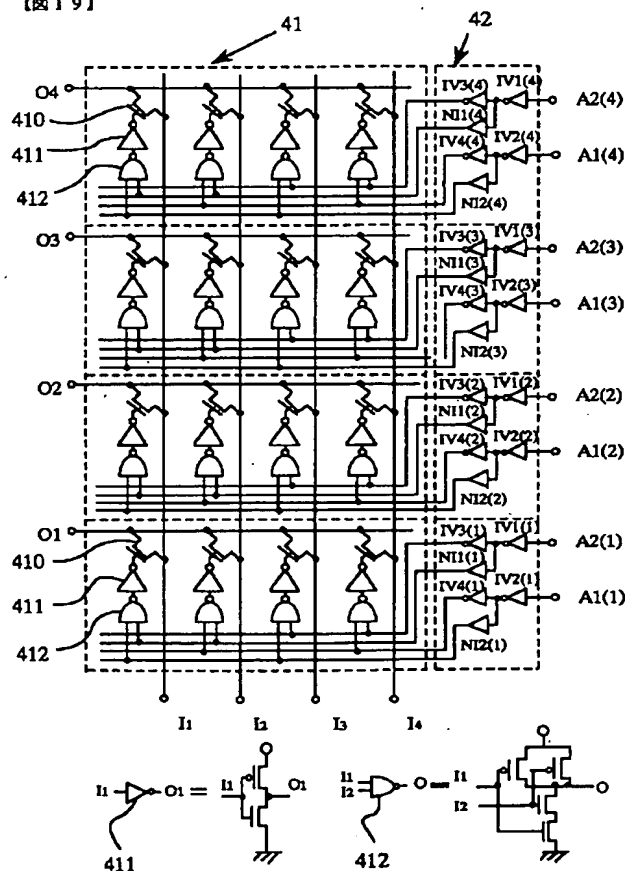
【図22】

【図18】

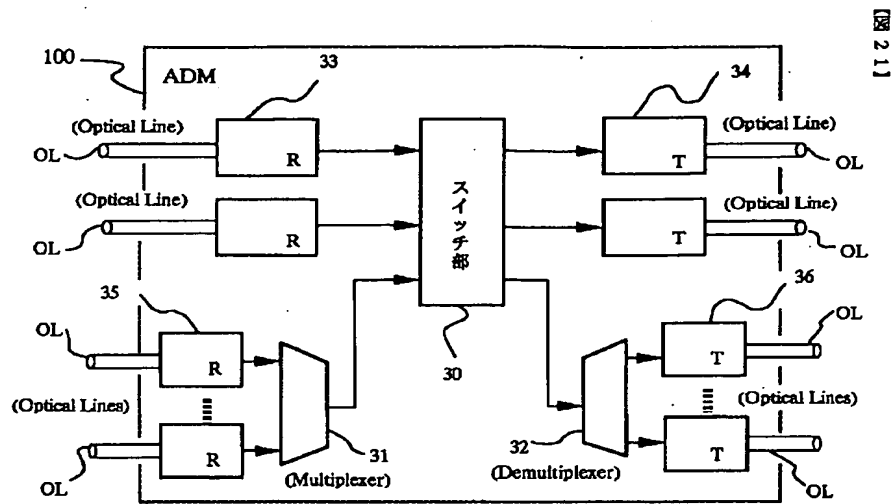


【図19】

【図19】



【図21】



フロントページの続き

(72)発明者 芦 賢浩

神奈川県横浜市戸塚区戸塚町216番地 株  
 式会社日立製作所情報通信事業部内